

Developer's Guide

数字隔离器设计指南



摘要

该设计指南可帮助电隔离系统设计人员在尽可能短的时间内开始使用 TI 广泛的数字隔离器产品系列和隔离式功能器件进行设计。该产品系列包括 ISO78xx 系列 5.7kVrms 增强型数字隔离器、ISO77xx 系列 5kVrms 数字隔离器、ISO73xx 系列 3kVrms 数字隔离器和 ISO71xx 系列 2.5kVrms 数字隔离器等。本文档阐述了隔离器的基本工作原理，提供了其在系统设计中推荐的安装位置，同时提供了电磁兼容 (EMC) 电路板设计的建议指南。

如需了解更多信息，请参见相应的产品数据表和 EVM 手册。

内容

1 工作原理	3
1.1 基于边沿的通信	3
1.2 基于开关键控 (OOK) 的通信	3
2 数字隔离器和隔离式功能器件的典型应用	5
3 数字隔离器选择指南	8
3.1 相关参数	8
3.2 隔离器系列	8
4 PCB 设计指南	10
4.1 PCB 材料	10
4.2 层堆叠	10
4.3 爬电距离	10
4.4 受控阻抗传输线	11
4.5 参考平面	12
4.6 布线	13
4.7 过孔	15
4.8 去耦电容器	16
5 总结	18
6 参考文献	18
7 修订历史记录	18

插图清单

图 1-1. 基于边沿的架构的概念方框图	3
图 1-2. 开关键控 (OOK) 架构的概念方框图	4
图 1-3. OOK 架构中的代表信号	4
图 2-1. 采用 16 引脚封装的示例隔离器	5
图 2-2. 隔离式 SPI 接口	6
图 2-3. 隔离式 RS-232 接口	6
图 2-4. 隔离式 RS-485 接口	7
图 2-5. 集成隔离式 RS-485 接口	7
图 4-1. 建议的层堆叠	10
图 4-2. 坡口切槽延长了有效爬电距离	11
图 4-3. 源阻抗匹配: $Z_0 \sim r_O$	11
图 4-4. 隔离器输出特性	11
图 4-5. 特性阻抗与 w/h 比的函数关系	12
图 4-6. 通过导体之间的紧密电耦合来降低场弥散	13
图 4-7. 充当单根返回布线的接地平面	13
图 4-8. 实心接地平面与开槽接地平面中的返回电流路径	13

图 4-9. 分离布线以最大限度地降低串扰.....	14
图 4-10. 使用 45° 转角而非 90° 转角.....	14
图 4-11. 避免过孔空隙部分.....	14
图 4-12. 将旁路电容器直接连接到 V _{CC} 端子.....	14
图 4-13. 单层更改和多层更改的返回电流路径.....	15
图 4-14. 单层更改和多层更改的返回电流路径.....	16
图 4-15. 通过串联谐振电路建模的电容器损耗.....	16
图 4-16. 电容器阻抗与频率之间的关系.....	17

表格清单

表 3-1. 数字隔离器系列和隔离式功能器件.....	9
表 4-1. $0.2 < w/d < 1$ 条件下的微带公式 ⁽¹⁾	12

商标

所有商标均为其各自所有者的财产。

1 工作原理

隔离解决方案可阻止系统的两个部分之间产生直流电流和干扰交流电流，同时允许在这两个部分之间进行信号和电力传输。用于隔离的电子器件和半导体 IC 被称为隔离器。通常，隔离器可抽象地理解为由高压隔离元件或隔离栅、用于将信号耦合到隔离元件一侧的发送器 (TX) 和用于将隔离元件的另一侧可用的信号转换为数字电平接收器 (RX) 构成。

TI 的隔离器使用基于 SiO_2 (二氧化硅) 的高压电容器作为隔离元件。对于 TX 和 RX 电路，使用了两种不同的架构：基于边沿的架构和基于开关键控 (OOK) 的架构。节 1.1 和节 1.2 对这些架构进行了介绍。

1.1 基于边沿的通信

图 1-1 所示为基于边沿的通信的概念方框图。ISO73xx、ISO74xx、ISO71xx、ISO76xx、ISO75xx 和 ISO72xx 隔离器系列以某种形式使用该架构。

这些器件至少包含两个数据通道，一个带宽为 100kbps 至 150Mbps 的高频通道 (HF) 和一个涵盖 100kbps 至直流范围的低频通道 (LF)。

原则上，进入 HF 通道的单端输入信号通过输入端的反相器门被拆分为差分信号。以下电容器电阻器网络将信号区分为小而窄的瞬态，然后由两个比较器将这些瞬态转换为轨至轨差分脉冲。比较器输出驱动一个或非门触发器，其输出馈送到一个输出多路复用器。触发器驱动输出端的判定逻辑 (DCL) 测量信号瞬态之间的持续时间。如果两个连续瞬态之间的持续时间超过特定的时间限制 (如在低频信号的情况下)，则 DCL 会强制输出多路复用器从高频通道切换到低频通道。

低频输入信号要求内部电容器采用过大的值，因此使用内部振荡器的载波频率对这些信号进行脉宽调制 (PWM)，从而产生足够高的频率，能够通过电容隔离层。在对输入进行调制时，需要使用一个低通滤波器 (LPF) 从实际数据中移除高频载波，然后再将数据传递到输出多路复用器。

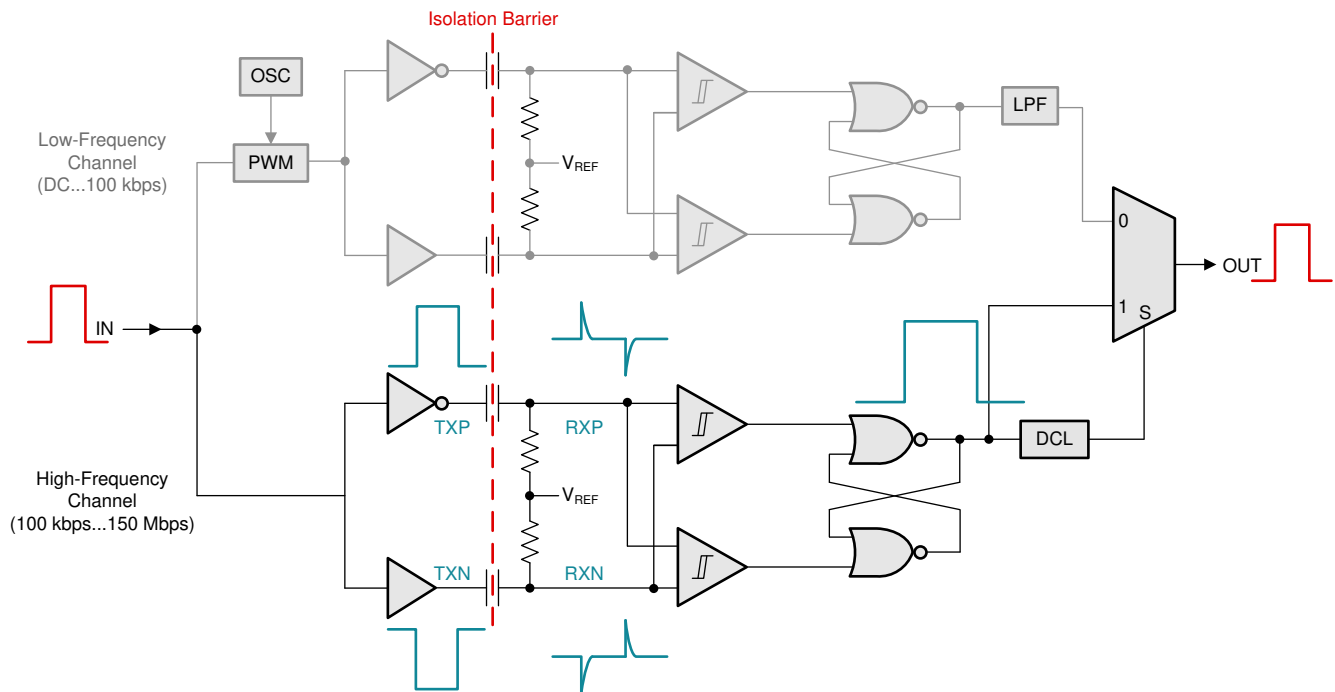


图 1-1. 基于边沿的架构的概念方框图

1.2 基于开关键控 (OOK) 的通信

图 1-2 所示为基于 OOK 的通信的概念工作原理。图 1-3 所示为相应的信令。ISO78xx 和 ISO77xx 系列的隔离器使用该架构。

在该架构中，使用内部展频振荡器时钟对传入数字位流进行调制，以生成 OOK 信令，这样就可由载波频率的传输来表示一种输入状态，由不传输来表示另一种状态。该调制信号被耦合到隔离栅，并以衰减形式显示在接收端。

接收路径包含一个用于放大输入信号的前置放大器，后跟一个用作解调器的包络检波器，以重新生成原始数字模式。TX 和 RX 信号调节电路用于改善通道的共模抑制，从而实现最佳的共模瞬态抗扰度 (CMTI)。

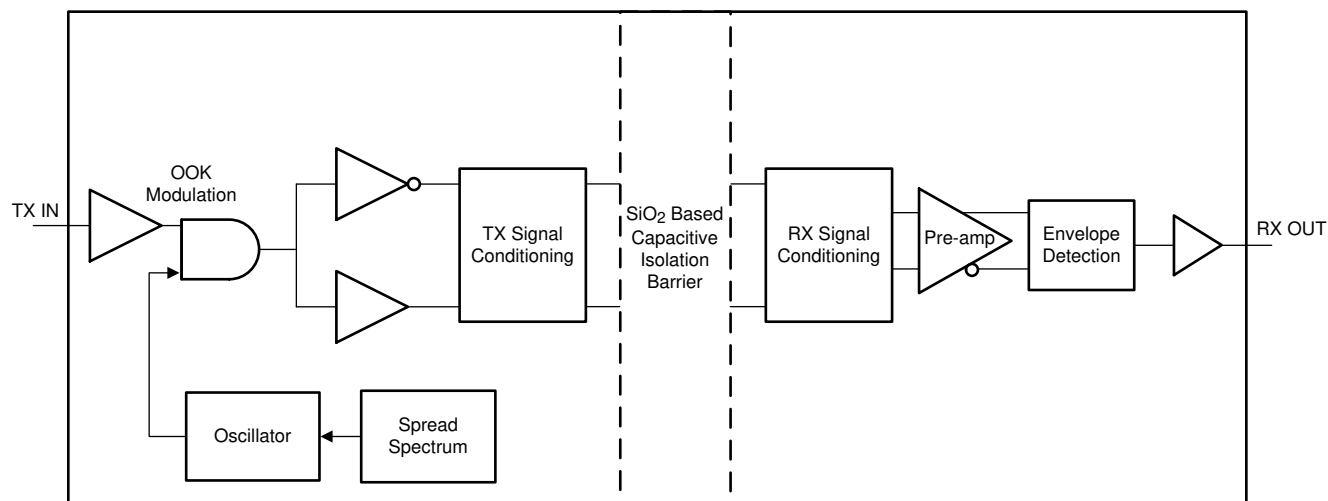


图 1-2. 开关键控 (OOK) 架构的概念方框图

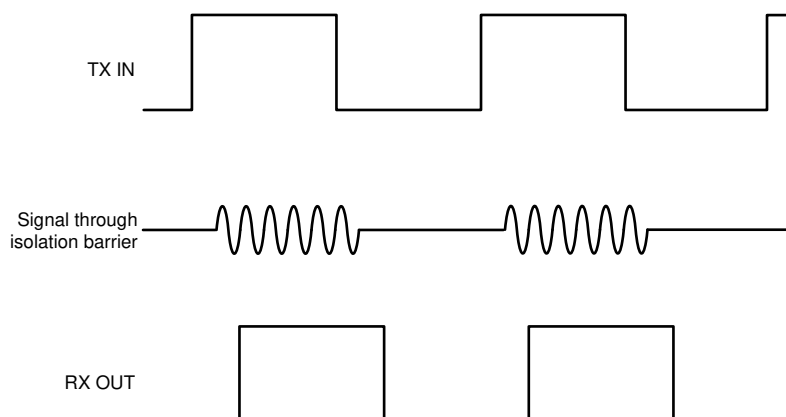


图 1-3. OOK 架构中的代表信号

2 数字隔离器和隔离式功能器件的典型应用

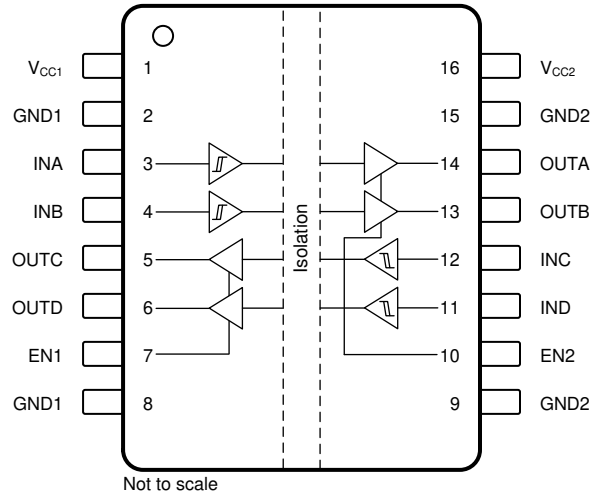


图 2-1. 采用 16 引脚封装的示例隔离器

图 2-1 所示为典型数字隔离器的引脚图。该隔离器包含两个电源（即 V_{CC1} 和 V_{CC2} ）和两个接地端（即 $GND1$ 和 $GND2$ ），任一侧的输入和输出引脚以各自的接地端为基准。也就是说，在图 2-1 中，引脚 1 至 8 以 $GND1$ 为基准，引脚 9 至 16 以 $GND2$ 为基准。

数字隔离器采用单端 CMOS 或 TTL 逻辑开关技术。对于两个电源 V_{CC1} 和 V_{CC2} ，电压范围通常为 3V 至 5.5V，不过某些器件可能支持更大的电源电压范围。例如，ISO78xx 器件可由低至 2.25V 的电源供电。在使用数字隔离器进行设计时，务必牢记：由于单端设计结构，数字隔离器不符合任何特定的接口标准，仅用于隔离单端数字信号线。

隔离式功能器件是指将其他功能（例如收发器或栅极驱动器）和隔离器集成在一起的器件。本节稍后将介绍集成隔离式 RS485 示例。与数字隔离器不同，隔离式功能器件可能需要符合特定的标准。例如，隔离式 I²C 缓冲器应符合 I²C 标准。此外，隔离式功能器件可能需要由电压更高的电源供电，例如，隔离式栅极驱动器可能需要使用 $\pm 15V$ 的电源来驱动 IGBT 栅极。

出于各种原因，现代电气系统需要采用隔离技术。以下是一些示例：在高压系统中保护操作人员免受高压瞬态的伤害并防止损坏昂贵的处理器、ASIC 或 FPGA，中断通信网络中的接地回路，以及中断与电机驱动或电源转换系统中的高侧器件的通信。需要隔离的应用示例包括：工业自动化系统、电机驱动器、医疗设备、光伏逆变器、电源和混合动力电动汽车 (HEV)。

本节介绍了数字隔离器和隔离式功能器件的一些示例应用。阅读《利用高性能数字隔离技术实现突破》白皮书，以了解与数字隔离器在共模瞬态抗扰度和高工作电压方面的性能相关的更多信息。有关更多示例、详细的应用图表和使用案例，请参阅相应的产品数据表。

图 2-2 所示为较为简单的隔离器应用。此处整个电路构成了一个单端低电压系统，其中一个数字隔离器将控制器的 SPI 接口与数据转换器的 SPI 接口连接在一起。SPI 接口中常用的隔离器是 ISO7x31 和 ISO7x41，因此通常被指定为 3 通道和 4 通道 SPI 隔离器。有关隔离式 SPI 的实现，请阅读《借助您的电池管理系统 (BMS) 中的隔离式 SPI 和 I²C 简化电流和电压监控》。

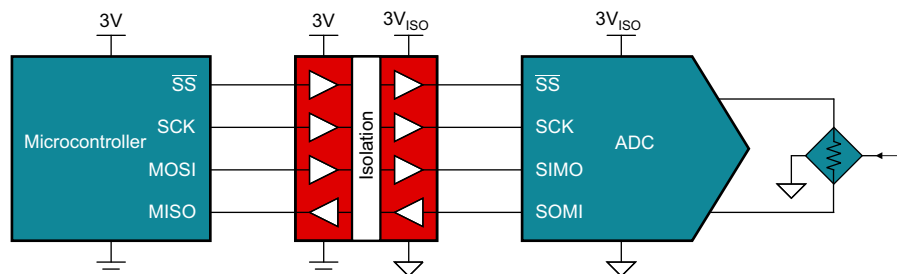


图 2-2. 隔离式 SPI 接口

除了实际的数据线 **RX** 和 **TX** 之外还需要六个控制信号，因此图 2-3 中功能全面的隔离式 **RS-232** 接口需要两个四通道隔离器。尽管整个系统是一个单端系统，但由于对称的 **13V** 总线电源需要满足高电压要求，因此必须对 **UART** 和总线收发器低压侧之间的数据链路进行电隔离。此外，**13V** 直流总线可能由电压更高的电源生成，在这种情况下，隔离还可用来防止受到系统电源线上高压瞬态的影响。

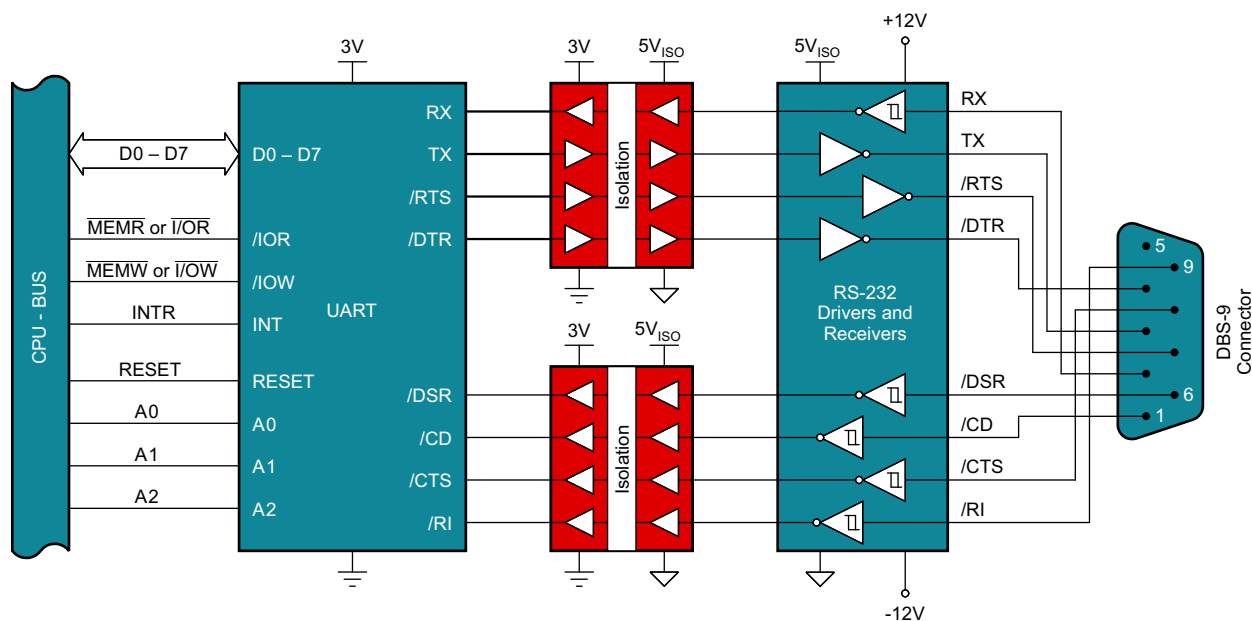


图 2-3. 隔离式 RS-232 接口

与图 2-3 中的示例一样，图 2-4 中 RS-485 接口的隔离发生在控制器和总线收发器之间。尽管整个接口电路是一个低电压系统，但传输总线的差分特性要求在单端侧进行预先隔离。在多节点分布式 RS-485 网络中，不同节点可能以具有不同电位的接地端为基准，在这种情况下，隔离通过在这些接地电位之间进行电平转换来实现通信。

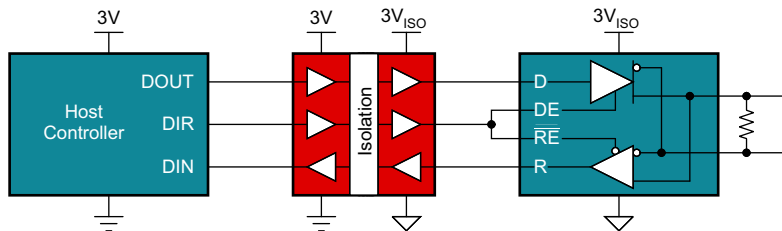


图 2-4. 隔离式 RS-485 接口

由于图 2-5 中显示的接口较为简单，可将隔离器功能集成到收发器电路中，从而提供具有低成本和低元件数量的应用特定隔离器器件。图 2-5 所示为一个隔离式功能器件示例。有关如何实现这些 RS-485 解决方案的图表，请阅读《如何隔离 RS-485 系统的信号和电源》。

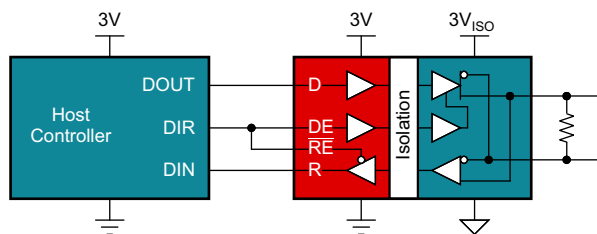


图 2-5. 集成隔离式 RS-485 接口

此处并未涵盖数字隔离器和隔离式功能器件的所有应用。以上示例仅用于帮助您了解隔离器是如何放置在系统中的。有关更多示例、详细的应用图表和使用案例，请参阅相应的产品数据表。

3 数字隔离器选择指南

本节首先介绍在选择数字隔离器或隔离式功能器件时要考虑的关键参数，然后简要介绍了 TI 当前提供的隔离器系列和隔离式功能器件。请访问以下链接以获取全面的隔离器选择指南。

有关所有隔离产品的概述以及指向不同参数化产品选择指南的链接，请访问：

<http://www.ti.com/isolation/overview.html>

有关数字隔离器的参数化选择指南，请访问

http://www.ti.com.cn/lscs/ti_zh/isolators/digital-isolator-products.page

有关隔离式 RS485 收发器的参数化选择指南，请访问：

http://www.ti.com.cn/lscs/ti_zh/isolators/isolated-rs-485-products.page

3.1 相关参数

本节简要介绍了典型隔离器数据表中的一些参数及其与系统设计的相关性。

隔离性能：

1. 最大瞬态隔离电压 (V_{IOTM}) 和隔离耐受电压 (V_{ISO})：这两个参数表示隔离器承受临时（短于 60 秒）高电压的能力。
2. 最大重复峰值电压 (V_{IORM}) 和工作电压 (V_{IOWM})：这两个参数表示隔离器在其整个寿命期间能够承受的连续电压。
3. 最大浪涌隔离电压 (V_{IOSM})：该参数表示隔离器能够承受的最大脉冲电压（上升时间为 1.2 μ s、衰减时间为 50 μ s 的波形）。

时序参数：

1. 数据速率。
2. 传播延迟：在时序预算包含往返延迟的系统（例如 SPI 接口）中或在延迟是控制回路的一部分时，该参数很重要。
3. 传播延迟偏斜：如果时序预算依赖于通道之间的匹配（例如，时钟在一个通道上传输，而数据在另一个通道上沿相同的方向传输），则该参数很重要。
4. 干扰滤波器。某些数字隔离器随附集成式干扰滤波器，即使在嘈杂的环境中也能帮助这些隔离器正常运行。不过，干扰滤波器会增加传播延迟并降低数据速率。

共模瞬态抗扰度 (CMTI)：

CMTI 表示隔离器承受其接地间电位差的快速变化（即共模的快速变化）而不会导致误码的能力。高 CMTI 意味着隔离通道很可靠。

功耗：

所需数据速率下每通道的功耗。

封装：

1. 爬电距离和间隙：隔离器一侧的引脚与另一侧的引脚之间沿封装表面穿过空气的距离。系统级标准根据工作电压、峰值瞬态电压和浪涌电压来规定这些参数的最小值。
2. 相对漏电起痕指数 (CTI)：该参数表示封装模塑化合物处理稳定的高电压而不发生表面退化的能力。较高的 CTI 允许在相同的工作电压下使用较小的封装。

3.2 隔离器系列

表 3-1 简要介绍了 TI 的一些数字隔离器系列和隔离式功能器件的主要特性。如需更详尽的器件列表，请访问：

http://www.ti.com.cn/lscs/ti_zh/analog/isolators/overview.page

表 3-1. 数字隔离器系列和隔离式功能器件

隔离器类型	器件	隔离性能	时序性能	CMTI	封装	每通道功耗 (典型值为 5 , 1Mbps)
数字隔离器	ISO78xx	$V_{IOTM} = 8000V_{pk}$ $V_{IORM} = 2121V_{pk}$ 浪涌 = 12.8kV	数据速率 = 100Mbps 传播延迟 = 11ns (典型值) 偏斜 = 2.5ns (最大值) 不需要干扰滤波器	10kV/ μ s (最小值)	CTI > 600 16-SOIC	1.7mA
数字隔离器	ISO77xx	$V_{IOTM} = 8000V_{pk}$ $V_{IORM} = 1414V_{pk}$ 浪涌 = 12.8kV	数据速率 = 100Mbps 传播延迟 = 10.7ns (典型值) 偏斜 = 4.1ns (最大值) 不需要干扰滤波器	100kV/ μ s (典型值) 85kV/ μ s (最小值)	CTI > 600 16-SOIC、8-SOIC、 16-SSOP	1.4mA
数字隔离器	ISO73xx	$V_{IOTM} = 4242V_{pk}$ $V_{IORM} = 1414V_{pk}$ 浪涌 = 6kV	数据速率 = 25Mbps 传播延迟 = 35ns (典型值) 偏斜 = 3ns (最大值) 集成干扰滤波器	50kV/ μ s (典型值) 25kV/ μ s (最小值)	400 < CTI < 600 8-SOIC、 16-SOIC	1.1mA (5V) 0.85mA (3.3V)
数字隔离器	ISO71xx	$V_{IOTM} = 4242V_{pk}$ $V_{IORM} = 566V_{pk}$ 浪涌 = 4kV	数据速率 = 50Mbps 传播延迟 = 21ns (典型值) 偏斜 = 2ns (最大值) 集成干扰滤波器	50kV/ μ s (典型值) 25kV/ μ s (最小值)	400 < CTI < 600 16-QSOP	1.65mA (5V) 1.3mA (3.3V)
隔离式 CAN	ISO1050	$V_{IOTM} = 4000V_{pk}$ $V_{IORM} = 1200V_{pk}$ 浪涌 = 4kV	环路延迟 = 150ns (典型值)	50kV/ μ s (典型值) 25kV/ μ s (最小值)	400 < CTI < 600 16-SOIC、8-SOIC	取决于状态
隔离式 RS-485	ISO3082	$V_{IOTM} = 4000V_{pk}$ $V_{IORM} = 560V_{pk}$ 浪涌 = 4kV	传播延迟 = 700ns	50kV/ μ s (典型值) 25kV/ μ s (最小值)	175 < CTI < 400 16-SOIC	取决于状态
隔离式 I ² C	ISO1540 ISO1541	$V_{IOTM} = 4000V_{pk}$ $V_{IORM} = 566V_{pk}$ 浪涌 = 4kV	时钟频率 (最大值) = 1MHz 环路延迟 = 110ns (典型值)	50kV/ μ s (典型值) 25kV/ μ s (最小值)	400 < CTI < 600 8-SOIC	取决于状态
隔离式 IGBT 栅极驱动器	ISO5500	$V_{IOTM} = 4000V_{pk}$ $V_{IORM} = 679V_{pk}$ 浪涌 = 6kV	传播延迟 = 200ns (典型值)	50kV/ μ s (典型值) 25kV/ μ s (最小值)	400 < CTI < 600 16-SOIC	15mA

4 PCB 设计指南

4.1 PCB 材料

对于运行速度低于 150Mbps (或上升和下降时间高于 1ns) 且布线长度达 10 英寸的数字电路板, 请使用标准 FR-4 环氧玻璃作为印刷电路板 (PCB) 材料。FR-4 (阻燃剂 4) 符合美国保险商实验室 UL94-V0 的要求, 并且由于其高频下的介电损耗较低, 吸湿性较低, 强度和刚度较大, 并且具有自熄性和可燃性, 因此优于较便宜的替代产品。

4.2 层堆叠

至少需要四层才能实现低 EMI PCB 设计 (请参阅图 4-1)。层堆叠必须符合以下顺序 (从上到下) : 高速信号层、接地平面、电源平面和低频信号层。

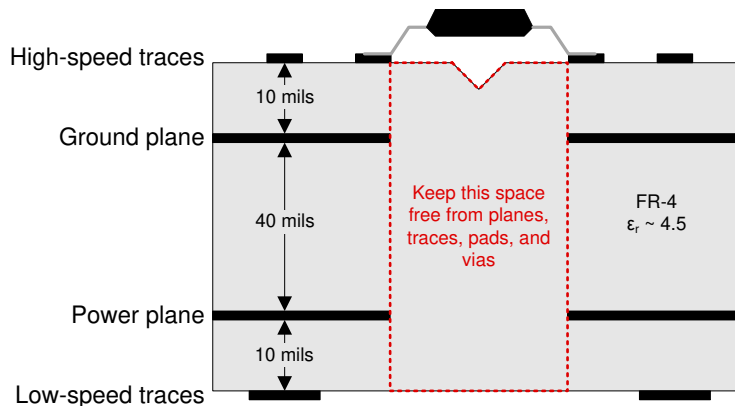


图 4-1. 建议的层堆叠

- 在顶层布置高速布线可避免使用过孔 (以及引入其电感)，并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 通过在高速信号层旁边放置一个实心接地平面，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会产生大约 $100\text{pF}/\text{in}^2$ 的额外高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压平面或信号层，请在堆栈中添加另一个电源/接地平面系统，以使其保持对称。这样可使堆栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源平面和接地平面可以放得更近，从而显著增大高频旁路电容。

4.3 爬电距离

爬电距离是沿绝缘材料表面测得的两个导电元件之间的最短路径。足够的爬电距离可防止漏电起痕，在漏电起痕过程中，绝缘表面或靠近绝缘表面的位置上会发生放电，进而在绝缘材料表面产生局部受损的部分导电路径。

漏电起痕发生的可能性取决于材料的相对漏电起痕指数 (CTI) 和环境污染程度。CTI 用于电绝缘材料，可提供在标准测试期间因漏电起痕而导致故障的电压数值。IEC 112 对漏电起痕和 CTI 进行了更全面的阐述。

漏电起痕可导致绝缘材料受损，通常由以下一种或多种原因造成：大气中的湿度、污染物的存在、腐蚀性化学品以及设备运行时所处的海拔高度。

随着隔离电压水平的不断升高，实现稳健的 PCB 设计比以往任何时候都更加重要，这不仅能够减少电磁干扰发射，还可以减少爬电问题。除宽隔离器封装之外，还可以使用诸如坡口之类的技术来实现所需的爬电距离 (请参阅图 4-2)。



图 4-2. 坡口切槽延长了有效爬电距离

对于坡口（宽度大于 1mm），唯一的深度要求是现有爬电距离加上坡口的宽度和坡口深度的两倍必须等于或超过所需的爬电距离。切口不得将基板削弱到无法满足机械测试要求的程度。

此外，应在所有层上确保隔离器下方的空间没有布线、过孔和焊盘，以保持最大的爬电距离（请参阅图 4-1）。

4.4 受控阻抗传输线

受控阻抗传输线是其特性阻抗 Z_0 受布线几何形状严格控制的布线。通常，这些布线与传输介质（如电缆和线路端接器）的差分阻抗相匹配，可更大限度地减少信号反射。在数字隔离器周围，受控阻抗布线必须与隔离器输出阻抗相匹配，即 $Z_0 \sim r_O$ ，这称为源阻抗匹配。

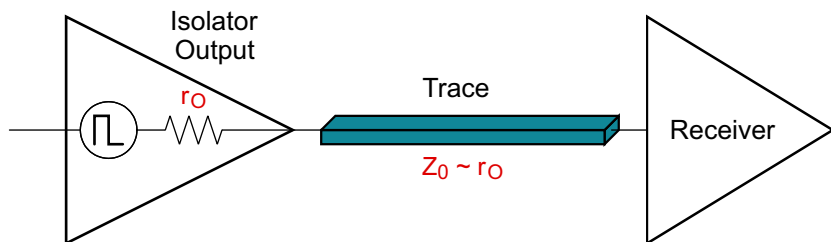


图 4-3. 源阻抗匹配： $Z_0 \sim r_O$

若要确定 Z_0 ，需要确定隔离器的动态输出阻抗 $r_O = \Delta V_{OUT} / \Delta I_{OUT}$ 。为此，由两个线性段来近似表示图 4-4 中的输出特性（取自 ISO7240 数据表），这两个线性段表明在低电压下 r_O 大约为 260Ω ，而对于该曲线的绝大部分（因此包含输出的转换区域）， r_O 大约为 70Ω 。

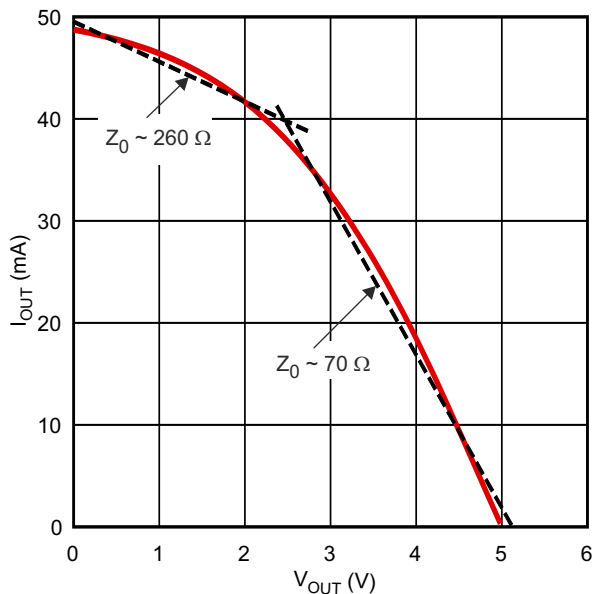


图 4-4. 隔离器输出特性

所需的布线几何形状（例如布线厚度（ t ）和宽度（ w ）、布线与相邻接地层之间的距离（ d ）以及 PCB 介电常数（ ϵ_r ））部分取决于电路板制造工艺的镀铜能力和所选电路板材料的介电常数。典型值为 1oz 和 2oz 铜镀层，与之对应的布线厚度分别为 $t = 1.37\text{mil}$ 和 $t = 2.74\text{mil}$ 。FR-4 环氧玻璃的介电值对于微带而言 ϵ_r 在 2.8 和 4.5 之间变化，对于带状线布线而言 $\epsilon_r = 4.5$ 。

在给定 t 和 ϵ_r 的情况下，设计人员可通过布线宽度 w 和距离 d 自由定义 Z_0 。然而，对于 PCB 设计，最关键尺寸不是 w 和 d 的绝对值，而是这两者之比 w/d 。为简化设计人员任务，图 4-5 绘制了特性布线阻抗与宽高比 (w/h) 的函数关系，其中布线厚度为 2.74mil (2oz 铜镀层)，FR-4 介电常数为 4.5，布线高度为比接地平面高 10mil。

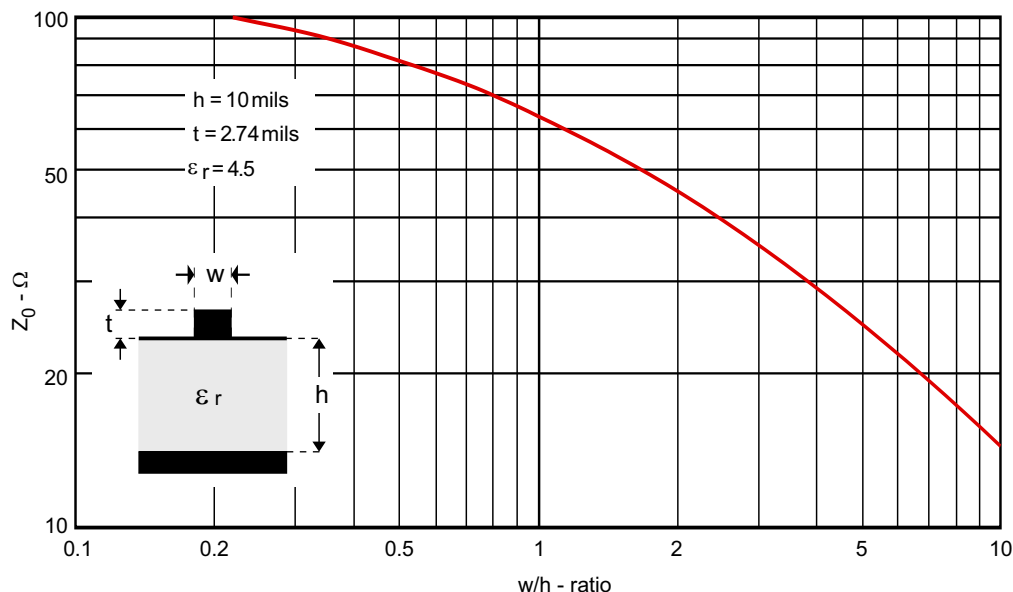


图 4-5. 特性阻抗与 w/h 比的函数关系

从图 4-5 中可以明显看出，70Ω 设计需要大约 0.8 的 w/h 比。如接下来的参考平面一节所述，设计低 EMI 电路板需要在信号布线与接地平面之间实现紧密的电耦合，这可通过确保 $h = 10\text{mil}$ 来实现。因此，相应的布线宽度为 8mil。必须在整个布线长度上保持该宽度。否则，布线宽度的变化会导致特性阻抗不连续，从而导致反射和 EMI 增加。

请注意，上述设计示例只是实现所需 Z_0 的众多可能设计之一。更高或更低的铜镀层导致不同的布线厚度，或者可以使用不同的 PCB 材料，但需要改变 w/d 比。表 4-1 提供了用于计算特性阻抗 Z_0 的更为复杂的数学公式，这些公式考虑了布线厚度、宽度和介电常数。

表 4-1. $0.2 < w/d < 1$ 条件下的微带公式⁽¹⁾

$\epsilon_{\text{eff}} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \times \left[\frac{1}{\sqrt{1 + \frac{12 \times h}{w}}} + 0.04 \times \left(1 - \frac{w}{h}\right)^2 \right]$	ϵ_{eff} = 有效介电常数，其中考虑了以下参数： • t 空气的介电常数 • ϵ_r PCB 材料的介电常数 • 相对于接地平面的高度 • 标称布线宽度
$w_{\text{eff}} = w + \frac{1.25 \times t}{\pi} \times \left[1 + \ln\left(\frac{2 \times h}{t}\right) \right]$	w_{eff} = 有效布线宽度，其中考虑了以下参数： • 标称布线宽度 • 布线厚度 • 相对于接地平面的高度
$Z_0 = \frac{60 \times \ln\left(\frac{8 \times h}{w_{\text{eff}}} + \frac{w_{\text{eff}}}{4 \times h}\right)}{\sqrt{\epsilon_{\text{eff}}}}$	Z_0 = 特性阻抗，其中考虑了以下参数： • 有效布线宽度 • 相对于接地平面的高度 • 有效介电常数

(1) 所有尺寸同时以英寸、mil (1in = 1000mil) 或 mm (1in = 25.4mm) 为单位。

4.5 参考平面

高速 PCB 设计的电源平面和接地平面通常必须满足各种要求。

在直流和低频下，这些平面必须向集成电路 (IC) 的电源端子提供稳定的基准电压（例如 V_{CC} 和接地）。

在高频下，参考平面，尤其是接地平面，有多种用途。对于受控阻抗传输系统的设计，接地平面必须提供与相邻信号层的信号布线的强电耦合。

考虑一个承载交流电的导体，该导体具有与其相关联的电场和磁场，如图 4-6 所示。如果电耦合很松散或没有电耦合，那么电流产生的横向电磁 (TEM) 波会自由地辐射到外部环境中，从而造成严重的电磁干扰 (EMI)。

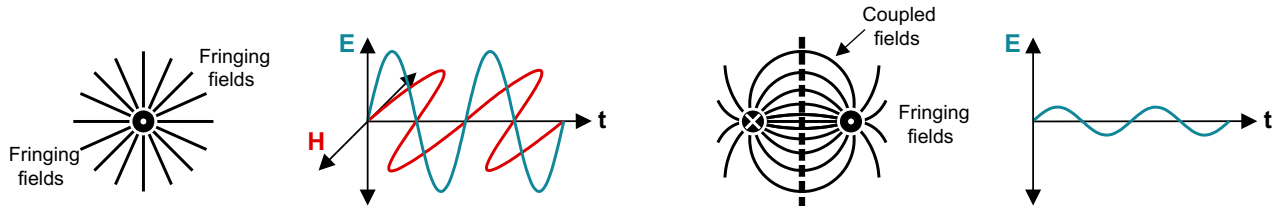


图 4-6. 通过导体之间的紧密电耦合来降低场弥散

现在想象一下另一个靠近的导体，该导体承载着振幅相同但极性相反的电流。在这种情况下，导体的相反磁场抵消，而其电场紧密耦合。这两个导体的 TEM 波现在被剥夺了磁场，因此无法辐射到环境中。只有更小的弥散场才可能耦合到外部，从而显著降低 EMI。

图 4-7 所示为在接地平面和紧密耦合的信号布线之间发生的相同效应。高频电流会沿着电感最小的路径（而非阻抗最小的路径）流动。电感最小的返回路径位于信号布线的正下方，因此返回信号电流倾向于沿该路径流动。返回电流的受限流动在接地平面中生成了一个高电流密度区域，该区域位于信号布线的正下方。此时该接地平面区域充当单根返回布线，能够消除磁场，同时提供与上方信号布线的紧密电耦合。



图 4-7. 充当单根返回布线的接地平面

若要为返回电流提供连续的低阻抗路径，参考平面（电源平面和接地平面）必须由实心铜板制成，并且没有空隙和裂缝。对于参考平面，过孔的间隙部分不应干扰返回电流的路径，这一点很重要。在有障碍物的情况下，返回电流会绕过该障碍物。不过，这样一来，该电流的电磁场很可能会干扰其他信号布线的场，从而导致串扰。此外，该障碍物会对越过其布线的阻抗产生不利影响，从而导致不连续性并使 EMI 增加。

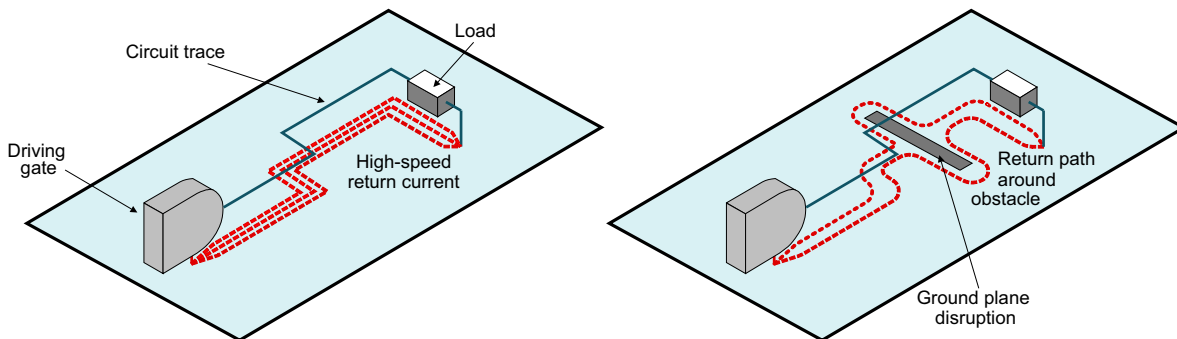


图 4-8. 实心接地平面与开槽接地平面中的返回电流路径

4.6 布线

在尝试保持信号完整性、避免噪声拾取和降低 EMI 时，必须遵循 PCB 布线和组件放置的相关指南。尽管可采取的预防措施似乎无穷无尽，但本节仅提供几项主要的建议作为布局指导。

1. 将信号布线的高度保持为布线相对于接地平面高度的 3 倍 ($d = 3h$)，以将串扰降低至 10%。根据 $1/[1 + (d/h)^2]$ 函数，信号布线下方的返回电流密度递减，因此在 $d > 3h$ 的位置，其密度足够小，能够避免在相邻布线中引起明显的串扰。

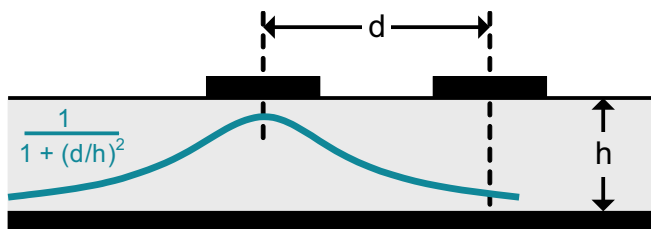


图 4-9. 分离布线以最大限度地降低串扰

2. 使用 45° 转角（倒角），而不是直角（90°）转角。直角转角会使有效布线宽度增加，从而使布线阻抗增加。这会产生额外的阻抗失配，从而导致更高的反射。



图 4-10. 使用 45° 转角而非 90° 转角

3. 要在高噪声环境中持续运行，应通过过孔将隔离器的使能输入端连接到适当的参考平面，即将高电平使能输入端连接到 V_{CC} 平面，并将低电平使能输入端连接到接地平面。
4. 在过孔旁或在一组过孔之间布线时，确保过孔间隙部分不会使下方接地平面上的返回电流路径中断。如果过孔间隙部分位于返回路径中，则返回电流会沿其周围具有最小电感的路径流动。这样，返回电流可能会在其他信号布线的下方穿过，从而产生串扰并使 EMI 增加。

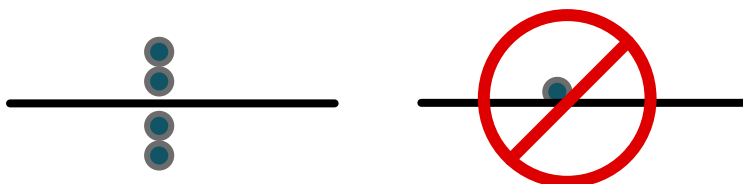
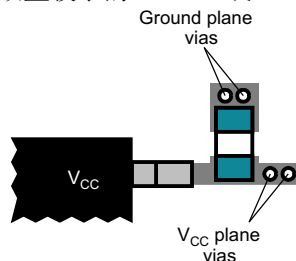


图 4-11. 避免过孔空隙部分

5. 避免使用信号布线来更改层，因为这会导致信号路径的电感增大。
6. 不过，如果在不同层上进行信号布线是不可避免的，则为每个信号布线过孔配备一个返回布线过孔。在这种情况下，应使用尺寸尽可能小的过孔，以使增加的电感达到最小。
7. 使用实心电源平面和接地平面来控制阻抗并更大程度地减小电源噪声。
8. 在隔离器和周围电路之间使用长度较短的布线，以避免噪声拾取。数字隔离器通常配有隔离式直流/直流转换器，通过隔离栅提供电源。由于单端传输信令对噪声拾取很敏感，因此长信号布线可以很容易地拾取附近直流/直流转换器的开关频率。
9. 将大容量（即 $10 \mu F$ ）电容器放置在靠近电源（如稳压器）的位置或为 PCB 供电的位置。
10. 将电容器的电源侧直接连接到器件的电源端子并通过两个过孔连接到 V_{CC} 平面，然后通过两个过孔将电容器的接地侧连接到接地平面，从而在器件上放置较小的 $0.1 \mu F$ 或 $0.01 \mu F$ 旁路电容器。

图 4-12. 将旁路电容器直接连接到 V_{CC} 端子

4.7 过孔

过孔一词通常指印刷电路板中的电镀孔。尽管某些应用要求通孔过孔应足够宽，以容纳通孔器件的引线，但高速电路板设计主要将其用作更改信号层时的布线过孔，或用作将 SMT 元件连接到所需参考平面以及将具有相同电位的参考平面进行相互连接的连接过孔。

连接到过孔的层通过与过孔周围的焊盘（过孔焊盘）直接接触来实现连接。不得连接的层由间隙环进行隔离。每个过孔都有一个接地电容，可使用以下公式来近似计算该电容：

$$C = \frac{1.41 \times \epsilon_r \times T \times D_1}{D_2 - D_1} \quad (1)$$

其中

- D_2 = 接地平面中间隙孔的直径（以 in 为单位）。
- D_1 = 过孔周围的焊盘的直径（以 in 为单位）。
- T = 印刷电路板的厚度（以 in 为单位）。
- ϵ_r = 电路板的介电常数。
- C = 过孔的寄生电容（以 pF 为单位）。

电容随尺寸成正比增加，因此高速设计中的布线过孔必须尽可能小，以避免因容性负载过重而导致信号衰减。

在将去耦电容器连接到接地平面或互连接地平面时，过孔电感变得比其电容更重要。可通过以下公式来近似计算该电感的大小：

$$L = 5.08 \times h \times \left[\ln \left(\frac{4 \times h}{d} \right) + 1 \right] \quad (2)$$

其中

- L = 过孔电感（以 nH 为单位）。
- h = 过孔长度（以 in 为单位）。
- d = 过孔直径（以 in 为单位）。

该公式涉及对数，因此更改过孔直径对电感的影响很小。通过改变过孔长度或并联使用多个过孔，可使过孔电感产生很大的变化。因此，可以为每个器件端子使用两个并联过孔以将去耦电容器接地。对于接地平面之间的低电感连接，应在电路板上以固定间隔使用多个过孔。

尽管强烈建议不要更改高速布线层，但如果仍需要更改，请确保实现连续的返回电流路径。在图 4-13 中，左侧的图显示了单层更改的返回电流流动情况，右侧的图显示了多层更改的返回电流流动情况。

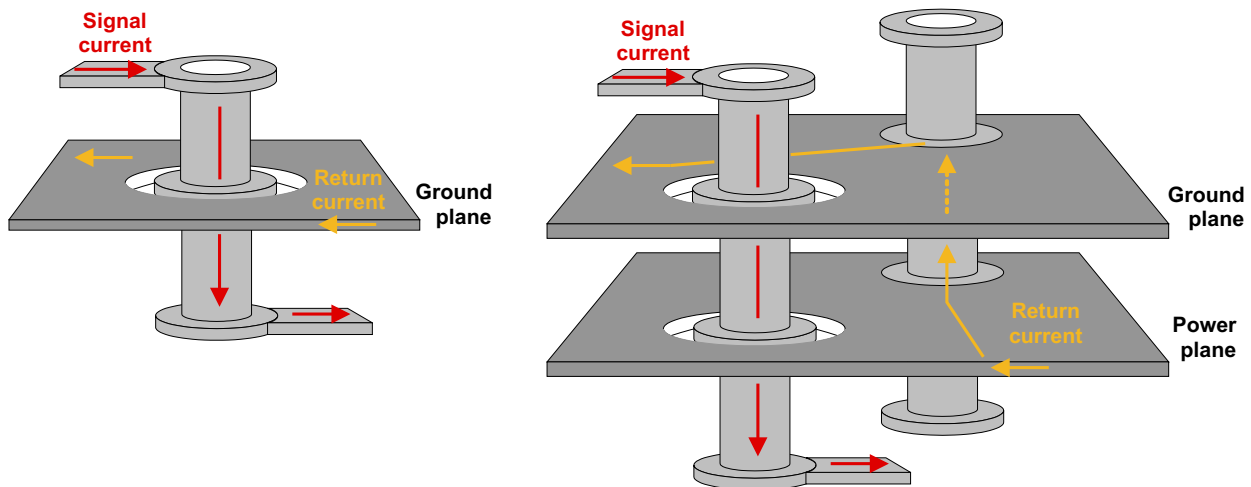


图 4-13. 单层更改和多层更改的返回电流路径

电流从接地平面的底部变化到顶部的能力是由内部间隙环的金属叠层提供的。因此，当信号通过过孔并在同一平面的另一侧继续传输时，不存在返回电流不连续性。

如果通过跨越多个参考平面将信号布线从一个层更改为另一个层，则会使返回电流路径的设计复杂化。在有两个接地平面的情况下，必须在信号过孔附近放置一个接地至接地过孔，以确保实现连续的返回电流路径（图 4-13 中右侧的图）。

如果多个参考平面具有不同的电压电位（例如图 4-14 中的电源平面和接地平面），则返回路径的设计会变得比较棘手，因为这需要第三个过孔和一个解耦电容器。返回电流从电源平面的底部开始，在此处返回电流最靠近信号电流。然后返回电流流过电源过孔，流过去耦电容器进入接地过孔，并返回至接地平面的顶部。

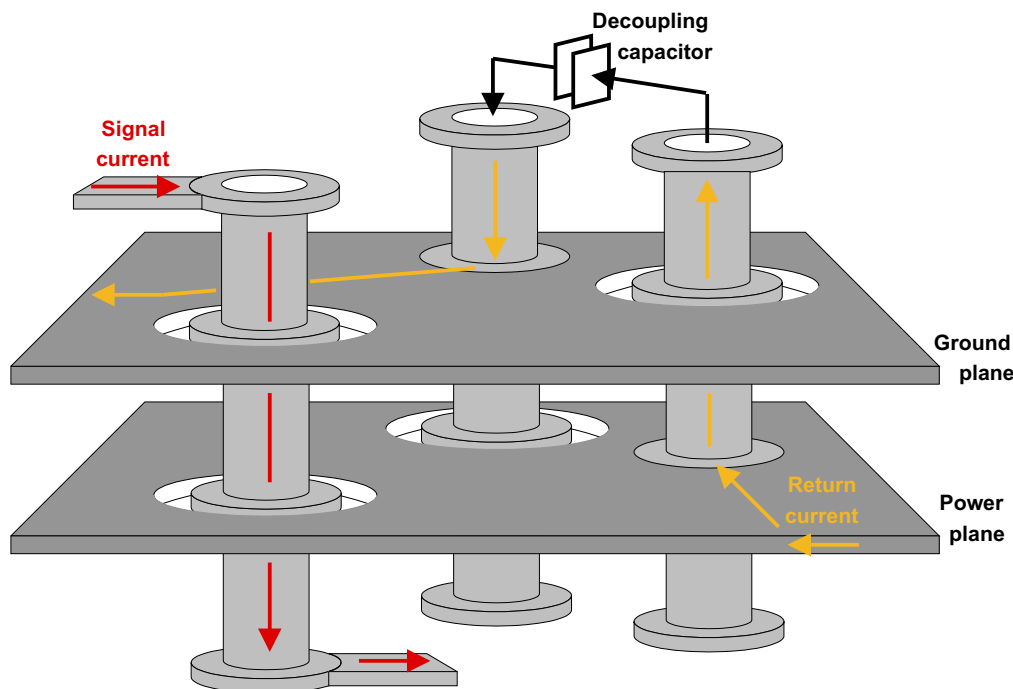


图 4-14. 单层更改和多层更改的返回电流路径

包含多个过孔和去耦电容器的电流返回路径具有高电感，因此会影响信号完整性并使 EMI 增加。如果可能，应避免在高速布线布局期间更改层，因为这通常会降低电路板性能，使设计复杂化并增加制造成本。

4.8 去耦电容器

去耦电容器为需要大电源电流以响应内部开关的 IC 提供本地电荷源。去耦不足会导致所需的电源电流得不到满足，这可能会妨碍 IC 正常工作，从而导致发生信号完整性数据错误。这要求去耦电容器在所需频率范围内提供低阻抗。为了实现这一点，一种常见的方法是在电路板上均匀分布一组去耦电容器。除保持信号完整性之外，去耦电容器还可用作 EMC 滤波器，以防止高频射频信号在整个 PCB 中传播。

在电源平面和接地平面之间连接电容器时，电源实际上加载了一个串联谐振电路，其频率相关的 R-L-C 分量代表实际电容器的等效电路。图 4-15 所示为初始等效电路的寄生分量及其转换为串联谐振电路的情况。

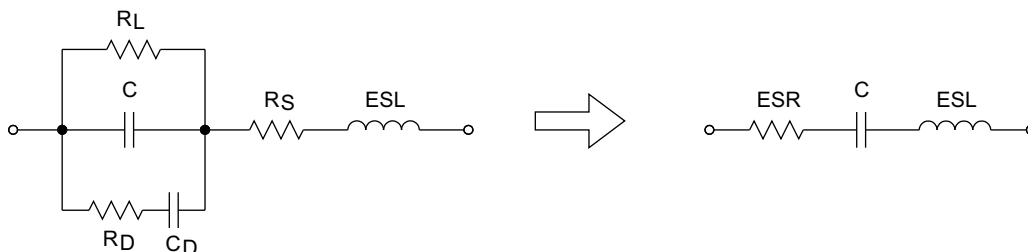


图 4-15. 通过串联谐振电路建模的电容器损耗

泄漏电阻 R_L 表示低频时泄漏电流导致的损耗。 R_D 和 C_D 表示分子极化导致的损耗 (R_D) 和电介质吸收导致的损耗 (C_D)。 R_S 表示电容器的引线和板中的电阻。这三项电阻损耗合并为一个等效串联电阻 (ESR)。与 ESR 一样，等效串联电感 (ESL) 将电容器板和内部引线的电感合并在一起。

请注意，电容器连接过孔虽然具有较低的阻抗，但会产生很大的串联电感。因此，通过在每个电容器端子上使用两个过孔来降低过孔电感。

图 4-16 所示为 10nF 电容器的电容器阻抗 (Z) 随频率变化的情况。在远低于自谐振频率 (SRF) 的频率下，容抗占主导地位。随着频率不断接近 SRF，感抗产生的影响逐渐变大，试图中和容性分量。在 SRF 下，容抗和感抗相互抵消，仅 ESR 有效。请注意，ESR 取决于频率，并且与普遍观点相反，在 SRF 下不会达到其最小值。不过，此时阻抗 Z 会达到最小值。

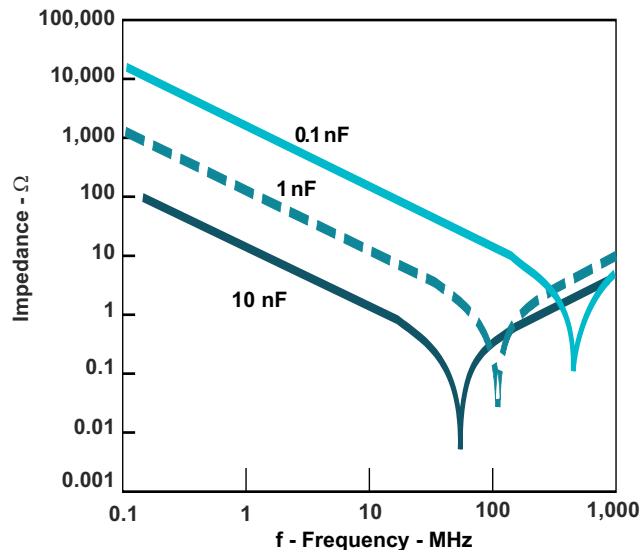


图 4-16. 电容器阻抗与频率之间的关系

在分布式去耦网络中并联电容器起作用的原因是总电容会增加到 $C_{TOT} = C \times n$ ，其中 n 是使用的去耦电容器的数量。由 $X_C = 1/(\omega \times C)$ 可知，对于低于 SRF 的频率，电容器阻抗会降至 $X_C = 1/(n \times \omega \times C)$ 。类似地，这对电感也成立。此处 $L_{TOT} = L/n$ ，由于 $X_L = \omega \times L$ ，对于高于 SRF 的频率，阻抗会降至 $X_L = \omega \times L/n$ 。

设计可靠的去耦网络时必须将低至直流的较低频率考虑在内，这需要采用大型旁路电容器。因此，若要在低频下提供足够低的阻抗，应在稳压器的输出端和 PCB 供电点放置 $1 \mu F$ 至 $10 \mu F$ 的钽电容器。对于更高的频率范围，应在每个高速开关 IC 旁放置数个 $0.1 \mu F$ 或 $0.01 \mu F$ 陶瓷电容器。

5 总结

该设计指南可帮助电隔离系统设计人员在尽可能短的时间内开始使用 TI 广泛的数字隔离器产品系列和隔离式功能器件进行设计。本文档阐述了隔离器的基本工作原理，提供了其在系统设计中推荐的安装位置，同时提供了电磁兼容 (EMC) 电路板设计的建议指南。尽管有大量关于 PCB 设计的技术文献、研讨会、新闻简报和互联网论坛，但本文档将为设计人员提供全面的布局指南。通过遵循本文档中提供的建议，设计人员可在尽可能短的时间内实现电磁兼容 (EMC) 的电路板设计。

阅读我们的博客[增强型隔离器助您进行电路设计](#)。

6 参考文献

1. High-speed Digital Design, Johnson/Graham, 1993
2. Noise Reduction Techniques in Electronic Systems, Ott, 1988
3. Eliminating the myths about printed circuit board power/ground plane decoupling, Archambeault, 2001.

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (August 2018) to Revision C (July 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	3
Changes from Revision A (November 2014) to Revision B (July 2018)	Page
• 在文档中添加了 ISO77x 系列数字隔离器.....	3
Changes from Revision * (January 2009) to Revision A (October 2014)	Page
• 更改了版本 A 的“摘要”。.....	1
• 更改了工作原理部分，包括两个子部分。.....	3
• 更改了从本页开始的图像 1 - 4。.....	3
• 更改了整个数字隔离器和隔离式功能器件的典型应用部分。.....	5
• 添加了数字隔离器选择指南部分。.....	8
• 更改了总结。.....	18

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表) 、设计资源 (包括参考设计) 、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司